# AN034

# Application Note 034 zu Modular-4/486

## SORCUS-Prozeß-Bus, Rev. A (SP-Bus)

## Spezifikation für MODULAR-4/486 mit i486 CPU

Autor: HB Datei: AN034.DOC (18 Seiten)

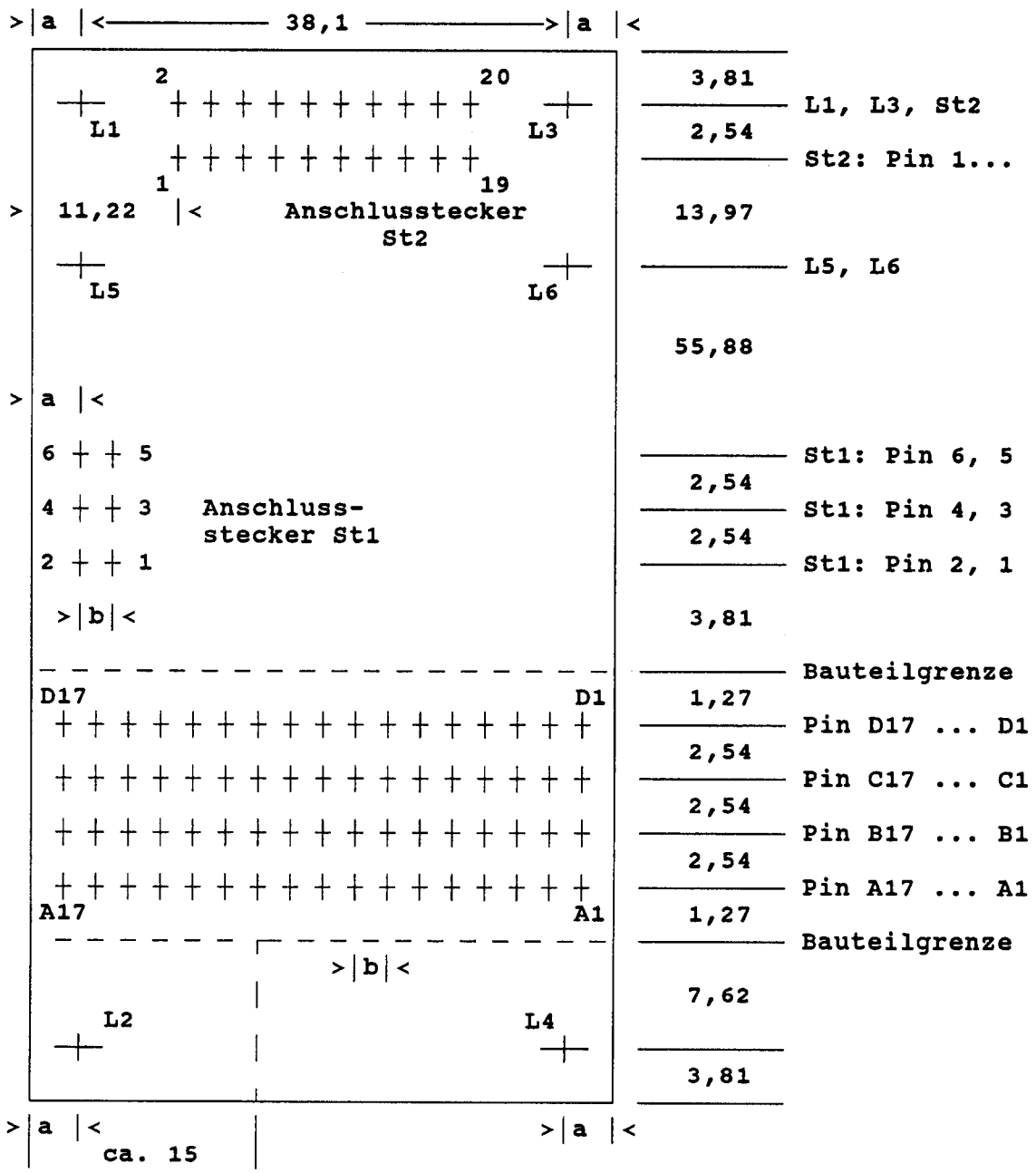
**Wichtige Hinweise**:

1. Alle Angaben in dieser Beschreibung sind nur für den internen Gebrauch in der Firma SORCUS Computer GmbH gedacht. Eine Weitergabe an Kunden bzw. Anwender der MODULAR-4 Karte ist z.Zt. nicht vorgesehen.

2. Eine Gewähr für die Richtigkeit bzw. Fehlerfreiheit dieser Angaben ebenso wie für ein einwandfreies Funktionieren von auf diesen Angaben hergestellter Hardware oder Software kann von SORCUS Computer GmbH nicht übernommen werden und ist in jedem Fall ausgeschlossen.

3. Eine Änderung dieser Bus-Spezifikationen (Rev. A) kann jederzeit ohne Angabe von Gründen und ohne vorherige Ankündigung erfolgen. Eine Veröffentlichung oder Benachrichtigung hierzu von Kunden oder Anwendern, die im Besitz dieser Beschreibung sind, ist nicht vorgesehen, auch wenn sie diese Beschreibung direkt von der Firma SORCUS Computer GmbH erhalten haben.

**1. Mechanische Abmessungen der Module** (alle Angaben in mm)
Ansicht: Bestückungsseite Modulstecker, nicht maßstabsgerecht




**Anmerkungen**

a = 3,6 mm (= 3,81 mm - 0,21 mm).
b = 2,54 mm.
L1 bis L6 = Bohrungen 3,2 mm, nicht durchkontaktiert (s.u.)

**Hinweise zu den mechanischen Abmessungen**

Für den Anschluß an die Außenwelt sind mehrere Möglichkeiten vorgesehen, die auch gleichzeitig vorhanden sein können:

**Stecker St1:** Dies ist eine 2-reihige Buchsenleiste im Raster 2,54 mm mit 10, 16, 20, 26, 34, 40 oder 50 Pins. Pin 1 liegt immer an derselben Stelle.

Wenn St1 vorgesehen wird, sollten mindestens die Bohrungen L2 und noch L1 (alternativ auch L5) zur Befestigung auf dem Motherboard vorhanden sein.

**Stecker St2:** Dies ist eine 2-reihige Buchsenleiste im Raster 2,54 mm mit 20 Pins. Pin 1 liegt immer an derselben Stelle.

Wenn St2 vorgesehen wird, sollten mindestens eine der beiden Bohrungen L2 oder L4 und zusätzlich noch L1 und L3 (alternativ auch L5 und L6) zur Befestigung auf dem Motherboard vorhanden sein.

**Stecker St3** (nicht eingezeichnet): St3 kann z.B. als 9-pol. D-Sub. oder als 15-pol. HDD-Sub. Stecker oder Buchse ausgeführt sein. St3 sitzt an derselben Stelle wie St2 mittig zwischen L1 und L3. Die Plazierung muß mittig erfolgen und zwar so, daß bei Montierung einer Frontplatte (Slot-Blech) an den Stecker bzw. die Buchse die Innenseite des Slot-Blech 0,5 mm von der oberen Leiterplattenkante entfernt ist. Stecker bzw. Buchse werden dabei von hinten an das Slot-Blech geschraubt. (Hinweis: Die erste Pinreihe hat bei den von SORCUS verwendeten schmalen Ausführungen von D-Sub. Steckern und Buchsen einen Abstand von 1,9 mm vom Leiterplattenrand und 2,84 mm von der zweiten Pinreihe).

| Pin-Anzahl | Hersteller | Best-Nr. Stecker | Best-Nr. Buchse |
|---|---|---|---|
| 9 | SUYIN | 7511P-09Gx | 7512S-09Gx |
| 15 | SUYIN | - | 7513S-15Gx |

Die vorgeschlagenen D-Sub. und HDD-Sub. Stecker und Buchsen sind eine sehr schmale Ausführungsform. Sie sind auch als SMD-Teile verfügbar. Damit ist es möglich, St2 und St3 gleichzeitig auf der Leiterplatte vorzusehen und auch zu bestücken oder das Modul in 2 Bestückungsvarianten zu liefern. MÖglich ist auch, die Variante mit St2 als Standard zu liefern und St3 vom Kunden bzw. auf Wunsch nachträglich zu bestücken.

Wenn St3 vorgesehen wird, sollten mindestens eine der beiden Bohrungen L2 oder L4 (möglichst beide) und zusätzlich noch L1 und L3 (alternativ L5 und L6) zur Befestigung auf dem Motherboard vorhanden sein.

**Bauteile und Bauhöhe**

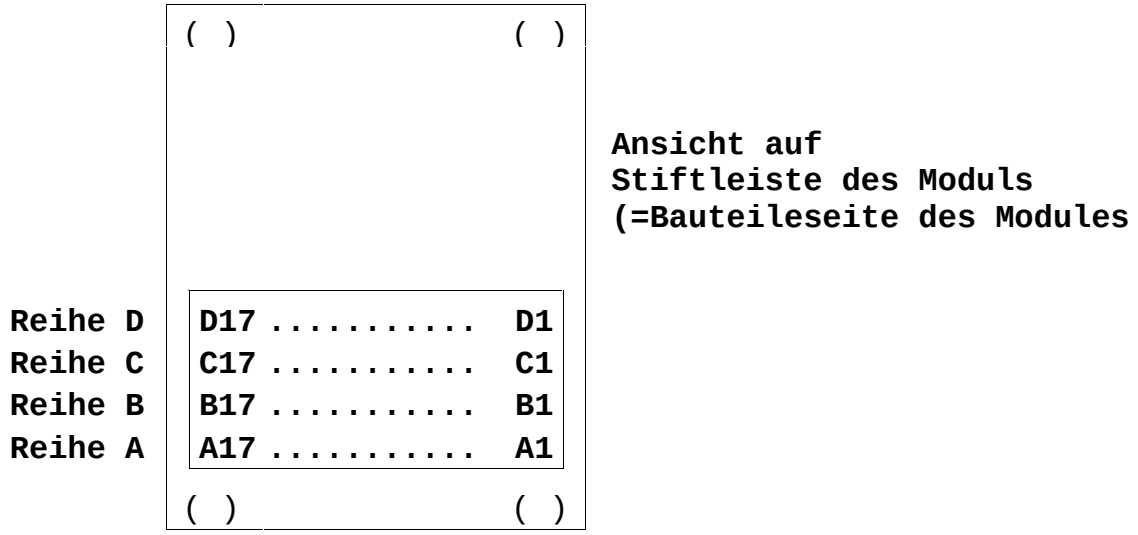
Im Bereich um L2 (gestrichelte Bauteilgrenze) dürfen nur Bauteile mit einer Bauhöhe kleiner 5 mm, im Bereich des Modulsteckers A1 bis D17 (gestrichelte Bauteilgrenze) gar keine Bauteile plaziert sein, in den anderen Bereichen darf die Bauhöhe 11,5 mm nicht überschreiten.

Die Abmessungen der passenden Stecker für St1 und St2 erfordern, daß andere Bauteile einen Mindestabstand einhalten. Ein 10-pol. Stecker für St1 hat z.B. die Abmessungen 17,2 mm (Länge) x 7,2 mm (Breite) x 5,4 mm (Höhe ohne Pins).

## 2. Bezeichnung der Pins (unvollständig, ohne Gewähr)

Der SP-Bus ist ein dynamischer 16-Bit Peripheriebus mit DMA- und Interrupt-Fähigkeiten sowie der Möglichkeit zur Selbstkonfiguration. Dynamisch heißt hier, daß die Verwendung bestimmter Leitungen erst bei der Initialisierung des Systems festgelegt wird.

Mit einer MODULAR-4/486 Karte mit 25 MHz 486SX, 486DX-33, 486DX2-66, 486DX4-120 oder 586-133 CPU und einem SORCUS Multi-Tasking Betriebssystem ab ML8-2D.00x ergibt sich folgende Konfiguration:
Der Bus stellt 68 Leitungen (17 x 4 Pfostenstecker) zur Verfügung (Ansicht auf Stiftleiste = Bauteileseite eines Moduls):




| Pin-Nr | Reihe A | Reihe B | Reihe C | Reihe D |
|---|---|---|---|---|
| 1 | -12V | +5V | +5V | -15T |
| 2 | MEX | S5 | S3 | GNDT |
| 3 | D3 | D7 | S2 | D15 |
| 4 | D2 | D6 | S1 | D14 |
| 5 | D1 | D5 | S0 | D13 |
| 6 | D0 | D4 | MRDY | D12 |
| 7 | TA | SCLK | TC | D11 |
| 8 | IRQ-A | IRQ-F | /NMI | D10 |
| 9 | IRQ-B | IRQ-E | v | D9 |
| 10 | IRQ-C | IRQ-D | v | D8 |
| 11 | A4 | /R | v | - |
| 12 | A3 | /W | A7 | - |
| 13 | A2 | /RES | A6 | - |
| 14 | A1 | TB | A5 | - |
| 15 | A0 | TCLK | v | - |
| 16 | /MSX | S4 | v | - |
| 17 | +12V | GND | GND | +15T |

- : = reserviert für SORCUS
v : = verwendet, aber nicht offengelegt

**Erklärung:**

Die SP-Busleitungen umfassen 8 Gruppen (a bis h), die im folgenden aus der Sicht der Basiskarte beschrieben sind ("Ausgang" bedeutet also, die Leitung ist ein Ausgang der Basiskarte, das Modul darf die Leitung nur als Eingang nutzen):

a) Adreßbus: A0 bis A7
b) Datenbus: D0 bis D15
c) R/W-Kontrollbus: /MSX, /R, /W, MRDY
d) Modul-Initialisierung: /RES, MEX
e) Timer- und Clock: TA, TB, TC, SCLK, TCLK
f) Interrupt: /NMI, IRQ-A, IRQ-B, IRQ-C, IRQ-D, IRQ-E, IRQ-F
g) Modul-Interconnection: S0, S1, S2, S3, S4, S5
h) Versorgungsspannungen: +5V, +12V, -12V, GND, +15T, -15T, GNDT

**Gruppe a**

**A0 bis A7:** Ausgänge, TTL-kompatibel

Der Adreßbus ist auf der Basiskarte gepuffert. Er wird im Rahmen von Schreib- und Lesezugriffen verwendet.

**Gruppe b**

**D0 bis D15,** bidirektional, TTL-kompatibel

Der bidirektionale 16 Bit Datenbus ist gepuffert, er kann als 8 Bit oder als 16 Bit Datenbus angesprochen werden. 16 Bit Zugriffe dürfen nur auf gerade I/O-Adressen ausgeführt werden. 8 Bit Zugriffe dürfen auf gerade und ungerade I/O-Adressen ausgeführt werden, der Datentransfer erfolgt immer über D0 bis D7.

**Gruppe c**

**/MSX:** Modul-Select, Ausgang, active Low, TTL-kompatibel

Dieser Ausgang wird aktiv, wenn von der CPU eine der I/O-Adressen des Modul-Steckplatzes angesprochen wird. Folgende Zugriffe sind möglich: 8 Bit Lesen, 8 Bit Schreiben, 16 Bit Lesen und 16 Bit Schreiben. Jeder Modul-Steckplatz hat eine eigene /MSX Leitung, die Module sind also geographisch adressiert (/MS1 bis /MS4 auf der Basiskarte bzw. auf dem Modul-Extender /MS5 bis /MS10).

| Modul-Steckplatz | I/O-Adreßbereich (erste und letzte Adresse) | | |
|---|---|---|---|
| 1 (Basiskarte) | 400h | bis | 4ffh |
| 2 (Basiskarte) | 500h | bis | 5ffh |
| 3 (Basiskarte) | 600h | bis | 6ffh |
| 4 (Basiskarte) | 700h | bis | 7ffh |
| 5 (Modul-Extender) | 420h | bis | 43fh |
| 6 (Modul-Extender) | 440h | bis | 45fh |
| 7 (Modul-Extender) | 460h | bis | 47fh |
| 8 (Modul-Extender) | 480h | bis | 49fh |
| 9 (Modul-Extender) | 4a0h | bis | 4bfh |
| 10 (Modul-Extender) | 4b0h | bis | 4cfh |

**/R:** Read, Ausgang, active Low, TTL-kompatibel

Dieser Ausgang wird bei alle I/O-Lesezugriffen der CPU aktiv. Er muß auf dem Modul mit dem zugehörigen /MSX verknüpft werden (s.u.).

**/W:** Write, Ausgang, active Low, TTL-kompatibel

Dieser Ausgang wird u.a. bei allen I/O-Schreibzugriffen der CPU aktiv. Er muß auf dem Modul mit dem zugehörigen /MSX verknüpft werden. Wenn /W aktiv wird, sind die Adressen A0 bis A7 und die Daten D0 bis D15 gültig.

**MRDY:** Modul-Ready, Eingang, active High, TTL-kompatibel

Mit diesem Eingang kann ein Modul den I/O-Lese- oder -I/O-Schreibzugriff der CPU auf das Modul beliebig verlängern. Der Eingang wird mit einem internen Pull-Up (10 KOhm) auf der Basiskarte auf + 5 Volt gezogen. Wenn ein Modul diese Leitung also nicht verwendet (offen läßt), wird ein Standardzugriff durchgeführt (ohne Wait).

**Gruppe d**

**/RES:** Reset, Ausgang, active Low, TTL-kompatibel

Dieser Ausgang wird aktiv bei einem Reset der Basiskarte und bei Power-On. Er kann verwendet werden, um die Module in einen definierten Anfangszustand zu sezten. Die Impulsdauer beträgt ca. 1,6 ms (+/- 30%).

**MEX: Modul-EEPROM-Anwahl, Ausgang, active High, TTL-kompatibel**

Diese Leitung dient zur Anwahl des EEPROMs auf dem Modul. Jeder Modul-Steckplatz hat eine eigene MEX-Leitung (ME1 bis ME4 auf der Basiskarte, ME5 bis ME10 auf dem Modul-Extender). Das Betriebssystem auf der MODULAR-4/486 Karte kopiert nach jedem Reset der

Basiskarte die Inhalte aller EEPROMs in den Parameterbereich des Betriebssystems (Task 0). Für normale I/O-Lese- und I/O-Schreibzugriffe über den Datenbus D0 bis D15 wird diese Leitung nicht verwendet.

**Anschluß eines seriellen EEPROMs:**

Jedes SORCUS-Modul ist mit einem seriellen EEPROM mit 32 Wörtern zu je 16 Bit ausgerüstet (Typ 93C46 oder 9346). Die Chips von verschiedenen Herstellern (z.B. National Semiconductor, MicroChip, Xicor, Seeq, etc.) verhalten sich unterschiedlich (obwohl sie alle die gleiche Bezeichnung 93C46 tragen), sowohl bezüglich Timing als auch von der Programmierung. Die Routinen des Betriebssystems berücksichtigen beim Lesen und Schreiben der EEPROMs alle uns bisher bekannten Formate. Wenn ein EEPROM eines anderen, neuen Herstellers verwendet wird, muß das von SORCUS getestet und freigegeben werden. Einige EEPROMs können per Pin für 8 Bit oder 16 Bit konfiguriert werden. Das Betriebssystem liest und schreibt immer 16 Bit (Wörter).

Ein 93C46 in einem DIL-8 Gehäuse ist wie folgt zu verschalten:

| Pin des 93C46 | SP-Bus Pin an | Busleitung |
|---|---|---|
| 1 | A2 | MEX |
| 2 | A7 | TA |
| 3 | B8 | IRQ-F |
| 4 | B8 | IRQ-F |
| 5 | B17, C17 | GND |
| 6 *) | - | - |
| 7 *) | - | - |
| 8 | B1, C1 | +5 Volt |

*) Pin 6 und 7 sind nicht angeschlossen, also offen

Damit das EEPROM vom Betriebssystem erkannt und dessen Inhalt nach einem Reset der Basiskarte in den Parameterbereich des Betriebssystems kopiert wird, muß WORT-0 folgenden Inhalt haben:

| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | WORT-0 (Kennung |
| | | | | | | | | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | Modul-Typ, z.B.: 6 = M-OPT-1/A |
| | | | | 0 | 0 | 1 | 1 | | | | | | | | | Version, z.B.: 3 = Rev. C |
| | | | 0 | | | | | | | | | | | | | Reserve |
| 0 | 0 | 1 | | | | | | | | | | | | | | Kennung |

Der Modul-Typ (Bit 0 bis 7) kann frei vergeben werden, sofern die Nummer nicht bereits benutzt wird. Zur Zeit sind die ersten 64 Nummern (Nummer 1 bis 63 für Module) belegt bzw. reserviert. Die Nummern größer 127 sind für Kunden-spezifische Module reserviert.

Die Version (Bit 8 bis 11) wird von SNW verwaltet. Sie entspricht z.Zt. meistens der Leiterplattenrevision. Rev. A ist immer = 1, Rev. B = 2, usw. Auch Kunden-spezifische Module sollten sich hieran halten.

Eine Initialisierung eines Moduls, das dem Betriebssystem (noch) unbekannt ist, also z.B. eines Kunden-spezifischen Moduls, wird zur Zeit nicht vorgenommen, unabhängig vom Inhalt von Wort 1 des EEPROMs. Wort 1 des EEPROMs sollte bei Kunden-spezifischen Modulen reserviert bleiben und immer = 0 gesetzt werden. Alle übrigen Wörter können frei belegt werden.

**Gruppe e**

**TA, TB, TC:** Timer Ausgänge A, B und C: TTL-kompatibel

Diese drei Leitungen sind die gepufferten Ausgänge der Timer A, B und C des Timer-Bausteins 82C54 der Basiskarte. Die Ausgangssignale ergeben sich aus Programmierung des Timer-Bausteins und dem Eingangstakt für die Timer (siehe auch TCLK).

**SCLK: Serielle Taktleitung, Ausgang, gepuffert, TTL-kompatibel**

Auf dieser Leitung liegt die Frequenz des Quarzoszillators (Tastverhältnis 1:1) der Basiskarte, der auch für die Generierung des Baudratentaktes der beiden seriellen Schnittstellen der Basiskarte verwendet wird, z.Zt. bei Rev. B der Basiskarte entweder 4,9152 MHz oder 7,3728 MHz, bei Rev. C der Basiskarte immer 7,3728 MHz (siehe Prüfbericht zur Basiskarte).

**TCLK:** Timer Taktleitung, Ausgang, gepuffert, TTL-kompatibel

Auf dieser Leitung liegt die Frequenz eines Quarzoszillators (Tastverhältnis 1:1) der Basiskarte, aus dem auch der Eingangstakt für die Timer A, B und C abgeleitet wird. Bei Rev. B der MODULAR-4/486 Karte sind TCLK und der Eingangstakt für die Timer gleich der Quarzfrequenz und abhängig von der Bestückung entweder 2,5 MHz (Standard) oder 10 MHz (siehe Prüfbericht zur Basiskarte). Bei Rev. C der MODULAR-4/486 Karte ist TCLK immer 10 MHz, der Eingangstakt für die Timer ist unabhängig davon programmierbar auf 2,5 MHz oder 10 MHz.

**Gruppe f**

**/NMI:** Nicht-Maskierbarer Interrupt, Eingang, activ Low, TTL-kompatibel

Dieser Eingang besitzt einen internen Pull-Up Widerstand an + 5 Volt auf der Basiskarte (min. 4,7 KOhm). Der Eingang entspricht in seiner Funktion dem invertierten NMI-Eingang der i486 CPU, allerdings ist der Eingang, anders als sein Name sagt, per Software maskierbar. Nach einem Hardware-Reset der MODULAR-4/486 Karte ist der Eingang zunächst maskiert. Er wird erst durch das Betriebssystem der Basiskarte demaskiert.

Auf der Basiskarte gibt es noch andere Quellen, die einen NMI auslösen können. Bei Rev. B der Basiskarte sind das:

Module 1 bis 9
Abfall der +5 Volt Versorgungsspannung (Schwelle einstellbar)

Bei Rev. C der Basiskarte sind das:

Module 1 bis 9

Abfall der +5 Volt Versorgungsspannung (Schwelle konstant)
Watchdog Timeout
Timer C, Timer (Uhr), PC-Schnittstelle

Wenn ein Modul einen Nicht-Maskierbaren Interrupt auslösen will, so muß die Hardwaremäßige Ansteuerung vom Modul aus mit einem Open-Collector Treiber erfolgen. Außerdem muß per Software auslesbar sein, ob das Modul einen NMI ausgelöst hat (Auffang-Flip-Flop). Dieses Flip-Flop wird dann von der Betriebssystemsoftware gelöscht (bitte mit SORCUS in Verbindung setzen). Der NMI wird durch eine negative Flanke ausgelöst, vor der negativen Flanke muß /NMI mindestens für die Dauer von 4 x CPU-Clock log. 1 sein, danach für mindestens 2 x CPU-Clock log. 0. Diese Zeiten sind nur für das sichere Erkennen eines NMI durch die CPU erforderlich. /NMI ist ein asynchroner Eingang, bezogen auf den CPU-Clock.

**IRQ-A, IRQ-B, IRQ-C, IRQ-D, IRQ-E, IRQ-F:** Interrupt-Eingänge, aktive Flanke positiv oder negativ, TTL-kompatibel

Die 6 Interrupt-Eingänge besitzen auf der Basiskarte alle je einen internen Pull-Up Widerstand an + 5 Volt (min. 4,7 KOhm). Die Zuordnung zu den Interrupt-Eingängen der beiden Interrupt-Controller der Basiskarte ergibt sich aus der folgenden Tabelle:

| Interrupt am | | | | | | |
|---|---|---|---|---|---|---|
| SP-Bus | IRQ-A | IRQ-B | IRQ-C | IRQ-D | IRQ-E | IRQ-F |
| Master- (M) bzw. Slave- (S) Controller | M | M | M | M | M | M |
| Eingang des Controllers | 3 | 4 | 5 | 6 | 7 | 1 |

Auf der Basiskarte kann die aktive Flanke für jeden Interrupt-Eingang individuell programmiert werden:

Wenn eine positive Flanke eingestellt ist, dann muß auf dem Modul dafür gesorgt werden, daß der Interrupt-Eingang noch so lange auf log. 1 bleibt, bis die CPU den Interrupt akzeptiert hat. Erst dann darf der Eingang wieder auf log. 0 gehen.

Wenn eine negative Flanke eingestellt ist, dann muß auf dem Modul dafür gesorgt werden, daß der Interrupt-Eingang noch so lange auf log. 0 bleibt, bis die CPU den Interrupt akzeptiert hat. Erst dann darf der Eingang wieder auf log. 1 gehen.

Eine andere Möglichkeit besteht darin, den Interrupt mit einem (kurzen) Impuls auszulösen. Wenn eine positive Flanke eingestellt ist, dann kann der Interrupt mit einem negativen Impuls (1-0-1) mit dessen zweiter Flanke (0-1) ausgelöst werden. Wenn der Impuls entsprechend kurz ist (allerdings nicht kürzer als 100 ns) und die CPU den Interrupt immer rechtzeitig bedient, ist dies eine einfache Methode. Das funktioniert entsprechend mit umgekehrtem Vorzeichen auch, wenn eine negative Flanke eingestellt ist.

Zu beachten ist, daß die beiden Interrupt-Controller der Basiskarte nicht umprogrammiert werden dürfen. Die dort eingestellte aktive Flanke (betrifft alle Eingänge) darf nicht geändert werden.

**Gruppe g**

**S0, S1, S2, S3, S4, S5:** Modul-Interconnection

Diese 6 Leitungen sind jeweils mit den gleichen Pins aller Modul-Steckplätze verbunden. Die Leitungen sind untereinander nicht verbunden. Sie haben auch keine galvanische Verbindung mit der Basiskarte oder anderen Busleitungen.

Die Leitungen S4 und S5 werden z.B. vom Modul M-DC15-2 verwendet, um galvanisch nicht-getrennte +/- 15 Volt Versorgungsspannungen für bestimmte Analogmodule wie z.B. M-AD16-3 zur Verfügung zu stellen (S4 für +15V, S5 für -15V, bezogen auf GND).

SORCUS behält sich vor, diese Leitungen bei zukünftigen Modulen zu benutzen.

**Gruppe h**

**+12V, +5V, -12V und GND***:* Versorgungsspannungen, Ausgänge.

Diese Leitungen sind direkt mit den entsprechenden Versorgungsspannungen des PC verbunden. Für +5V und GND sind jeweils zwei Pins verwendet. Wenn diese Spannungen für die Versorgung von analogen Schaltungsteilen verwendet werden sollen, so ist auf gute Filterung zu achten.

**Achtung: Die Leitungen sind nicht kurzschlußfest! Da PC-Netzteile einige Ampere Strom liefern können, kann es bei einem Kurzschluß einer dieser Spannungen auf einem Modul zu Zerstörungen der Basiskarte und/oder des PC-Netzteils kommen.**

**+15T, -15T, GNDT: reserviert für weitere Versorgungsspannungen**

Diese 3 Leitungen sind jeweils mit den gleichen Pins aller Modul-Steckplätze verbunden. Die Leitungen sind untereinander nicht verbunden. Sie haben auch keine galvanische Verbindung mit der Basiskarte oder anderen Busleitungen. Sie sind vorgesehen z.B. für die Verteilung von galvanisch getrennten +/- 15 Volt Versorgungsspannungen, wie sie z.B. das Modul M-DC15-2 liefern kann.

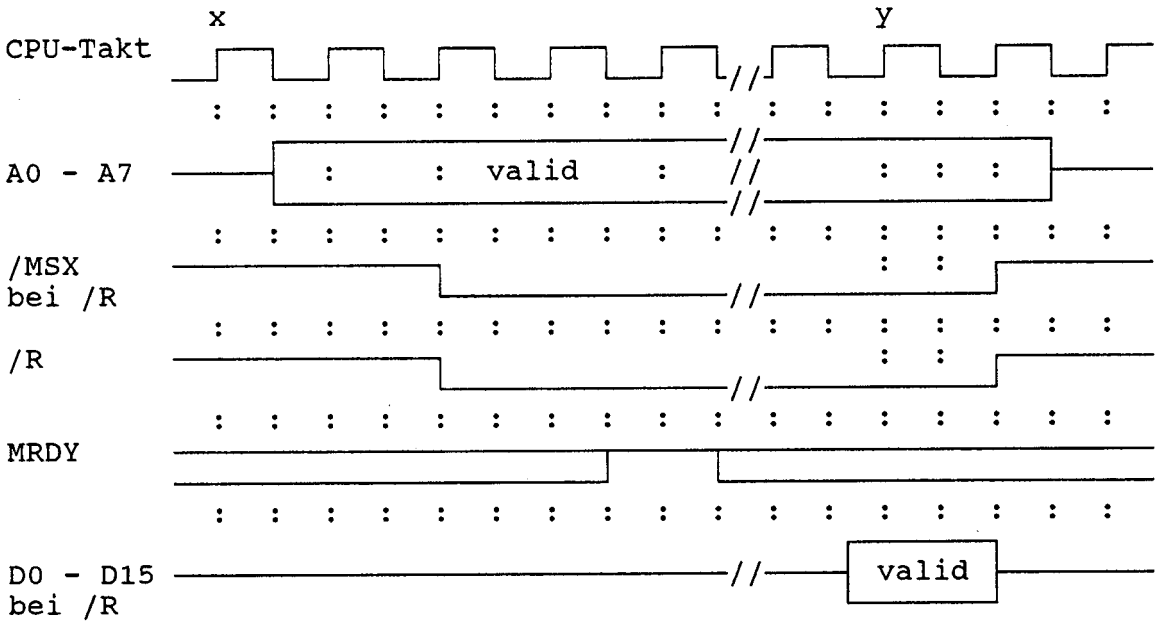
## 3. Bus-Timing

Bei Rev. B der Basiskarte kann auf die Module sowohl mit I/O-Adressen als auch mit Memory-Adressen (nur im Protected Mode) zugegriffen werden. Diese Beschreibung berücksichtigt nur den Zugriff mit I/O-Adressen. Es sind sowohl 8 Bit als auch 16 Bit Zugriffe erlaubt, 16 Bit Zugriffe allerdings nur auf gerade Adressen. Das Timing ist für 8 Bit und 16 Bit Zugriffe identisch.

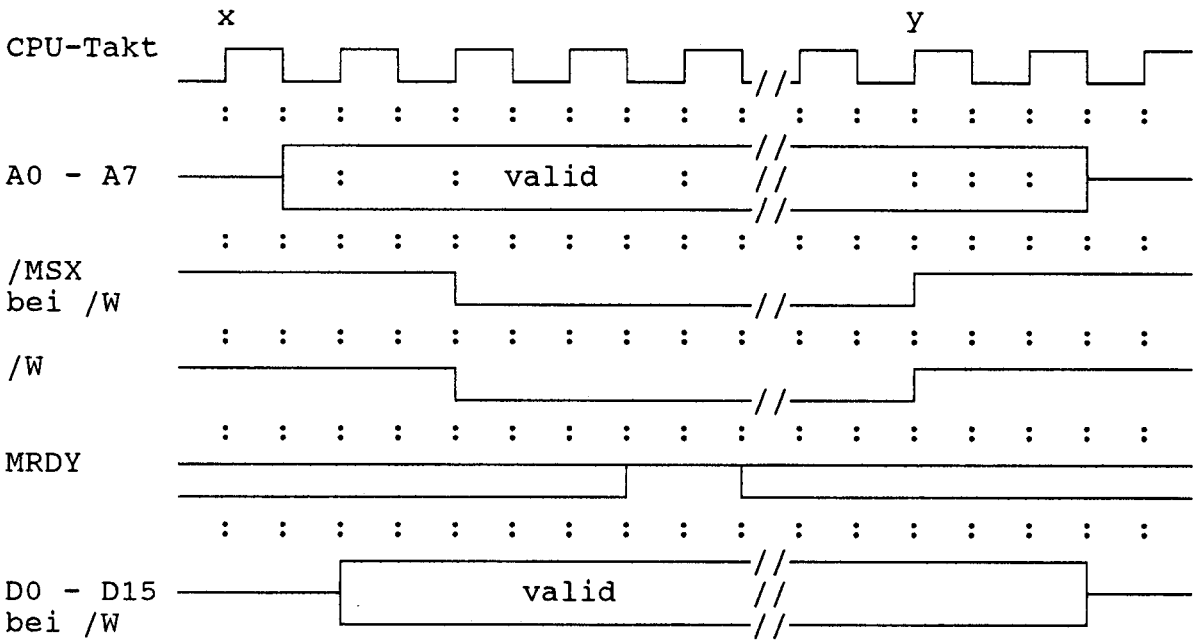
Das Bus-Timing ist synchron zum CPU-Takt, der aber nicht auf dem Bus verfügbar ist. Er beträgt z.Zt. entweder 20, 25 MHz oder 33 MHz.

Alle in den folgenden Tabellen angegebenen Zeiten beziehen sich auf eine Basiskarte ohne Module. Bei aufgesteckten Modulen können sich die Zeiten entsprechend der Busbelastung (zusätzliche Kapazitäten) ändern.

### 3.1. I/O-Lesezugriff



### 3.2. I/O-Schreibzugriff



## 4. Erforderliche Signale für SORCUS-Module

In den vorhergehenden Kapiteln sind die Bus-Signale beschrieben, die auf Fremd-Modulen (nicht von SORCUS entwickelte Module) verwendet werden können bzw. müssen. Dieses Kapitel beschreibt die Bus-Signale aus der Sicht vorhandener, von SORCUS entwickelter Module. Falls Sie also eine eigene Trägerkarte für SORCUS-Module entwickeln wollen, so sind für jedes Modul bestimmte Signale erforderlich. Bitte beachten Sie unbedingt, daß das bei einer Überarbeitung eines Moduls (= neue Revision) nicht gewährleistet sein muß. Es ist in jedem Fall empfehlenswert, den Datenbus für 8 Bit und 16 Bit Zugriffe auszulegen.

SORCUS behält sich das Recht vor, einzelne Module zu ändern oder zu erweitern, ohne daß Besitzer dieser Application Note durch SORCUS davon in Kenntnis gesetzt werden. Deshalb bezieht sich diese Beschreibung nur auf die in dieser Beschreibung angegebenen Modul-Revisionen, die allerdings den aktuellen Stand wiedergeben.

### Erklärung zu den Pins

- \- Diese Pin ist auf dem Modul nicht angeschlossen
- s Standardbelegung, s.o.
- u Pin kann auf dem Modul frei bleiben, wenn bestimmte Funktionen des Moduls für die Zwecke des Anwenders nicht erfordlich sind.
- X Das Signal an diesem Pin wird vom Modul z.Zt. nicht ausgewertet, der Pin sollte aber auf einem definiertem Pegel liegen. Das anliegende Signal darf auch impulsförmig sein.
- 1 Anmerkung 1
- 2 Anmerkung 2, ....

**Modul M-D40-2, Rev. C (Typ 3)**

| Pin | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| Reihe D | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - |
| Reihe C | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - |
| Reihe B | s | - | - | - | s | - | - | u | u | s | u | s | s | s | s | - | s |
| Reihe A | - | s | s | s | s | s | s | - | u | u | s | s | s | s | s | s | - |

**Modul M-OPT-1/A, Rev. E (Typ 6)**

| Pin | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| Reihe D | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - |
| Reihe C | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - |
| Reihe B | s | - | - | - | s | - | - | - | u | s | - | s | s | s | s | - | s |
| Reihe A | - | s | s | s | s | s | s | u | u | u | s | s | s | s | s | s | - |

**Modul M-OPT-1/B und /Bx, Rev. E (Typ 7)**

| Pin | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| Reihe D | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - |
| Reihe C | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - |
| Reihe B | s | - | - | - | - | - | - | - | - | s | - | s | s | s | s | - | s |
| Reihe A | - | s | s | s | s | s | s | u | - | u | s | s | s | s | s | s | - |

**M-DA2-2, Rev. C (Typ 8)**

| Pin | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| Reihe D | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - |
| Reihe C | s | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | s |
| Reihe B | s | - | - | - | - | - | - | - | - | s | - | - | - | - | - | - | s |
| Reihe A | - | s | s | s | s | s | - | - | - | - | s | s | s | s | s | s | - |

**M-DA4-2, Rev. C (Typ 9)**

| Pin | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| Reihe D | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - |
| Reihe C | s | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | s |
| Reihe B | s | u | - | x | s | - | - | - | - | s | - | s | s | s | s | u | s |
| Reihe A | s | s | s | s | s | s | s | - | - | - | s | s | s | s | s | s | s |

**M-iNC-3, Rev. C (Typ 28)**

| Pin | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| Reihe D | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - |
| Reihe C | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - |
| Reihe B | s | - | s | - | - | s | s | s | s | s | - | s | s | s | s | - | s |
| Reihe A | - | s | s | s | s | s | s | s | s | s | s | s | s | s | s | s | - |

**M-CXX-3, Rev. A (Typ 47) Nachfolgemodul für M-iNC-3**

| Pin | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| Reihe D | - | - | - | - | - | - | - | s | s | s | s | s | s | s | s | - | - |
| Reihe C | s | - | - | - | - | - | - | - | - | s | - | s | - | - | - | - | s |
| Reihe B | s | - | s | - | s | s | s | s | s | s | - | s | s | s | s | - | s |
| Reihe A | - | s | s | s | s | s | s | s | s | s | s | s | s | s | s | s | - |

**M-AD12-16, Rev. C (Typ 39)**

| Pin | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| Reihe D | - | - | - | - | - | - | - | s | s | s | s | s | s | s | s | - | - |
| Reihe C | s | - | - | - | - | - | - | - | - | - | u | s | - | - | - | - | s |
| Reihe B | s | - | s | u | s | s | s | - | - | s | - | s | s | s | s | - | s |
| Reihe A | s | s | s | s | s | s | s | - | - | - | s | s | s | s | s | s | - |

**Standard für alle Module**

| Pin | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| Reihe D | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - |
| Reihe C | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - |
| Reihe B | s | - | - | - | - | - | - | - | - | s | - | s | s | s | s | - | s |
| Reihe A | - | s | s | s | s | s | s | - | - | - | s | s | s | s | s | s | - |