

23. M-SSI-2

Synchron-serielles Interface (2 Kanäle) für Absolut-Weggeber mit RS-422-Signalen

Funktionsbeschreibung	23-2
Blockschaltbild	23-4
Technische Daten	23-5
Lieferumfang	23-5
Konfiguration und Einbau	23-6
Lageplan	23-6
EEPROM-Inhalte	23-7
Steckerbelegung St1	23-12
Modul-Device-Treiber M-SSI-2	23-13
Installationsparameter	23-13
Kanaleigenschaftsstruktur CPS_MSSI2	23-13
Einstellungen und Betriebsarten	23-14
Zugriff	23-15
Programmierung mit I/O-Zugriffen	23-16
Lokale I/O-Adressen	23-16
Hinweise zur Programmierung	23-17

Funktionsbeschreibung

Das Modul enthält zwei Kanäle zur synchron-seriellen Übertragung von Weggebern mit RS-422-Signalen. Es wird mit dem Logik-Design „SSI.DLG“ betrieben, das sich im EPROM des Moduls befindet. Die Anzahl der Bits pro Übertragung kann per Software eingestellt werden (max. 32 Bit). Die Anzahl wird für beide Kanäle identisch eingestellt. Der Takt der seriellen Übertragung wird vom Modul geliefert und kann in gewissen Grenzen eingestellt werden. Er ist für beide Kanäle gleich.

Das Modul enthält folgende Funktionseinheiten:

- RS-422-Ein- und Ausgangsbuffer für Takt- und Datenleitungen
- Einen Taktteiler zur Erzeugung der Übertragungsraten
- Zwei skalierbare Seriell-Parallel-Wandler inkl. Codierung im Gray-Code zur Aufnahme der eingelesenen Daten

Hinweis: Das Modul M-SSI-2 ersetzt das bisherige M-AX-32/SSI, das für RS-422 Signalpegel umgebaut wurde. Beide Module sind in ihrer Funktion identisch. Der einzige Unterschied zwischen den Modulen ist der, daß das Modul M-AX-32/SSI/RS-422 den Modultyp 38 hat und das neue Modul M-SSI-2 den Modultyp 52. Der Modultyp ist im EEPROM-WORT 0 eingetragen. Wenn der Modultyp von der Anwendersoftware abgefragt und ausgewertet wird, können Probleme auftauchen, wenn die Software Modultyp 38 erwartet. **Abhilfe:** Die Anwendersoftware sollte beide Modultypen akzeptieren.

Synchron-serielles Interface (SSI)

Abbildung 23-1 zeigt das Prinzip der synchron-seriellen Datenübertragung. Der Takt wird dabei vom Modul geliefert.

Die erste fallende Flanke des Takts (Zeitpunkt ①) veranlaßt die Gegenstelle (z. B. ein absoluter Winkelcodierer), seine Daten zu latches (einzufrieren). Mit der nächsten steigenden Flanke (Zeitpunkt ②) legt die Gegenstelle dann das erste Datenbit auf die Datenleitung. Mit der nächsten steigenden Flanke wird das zweite Datenbit ausgegeben, usw.

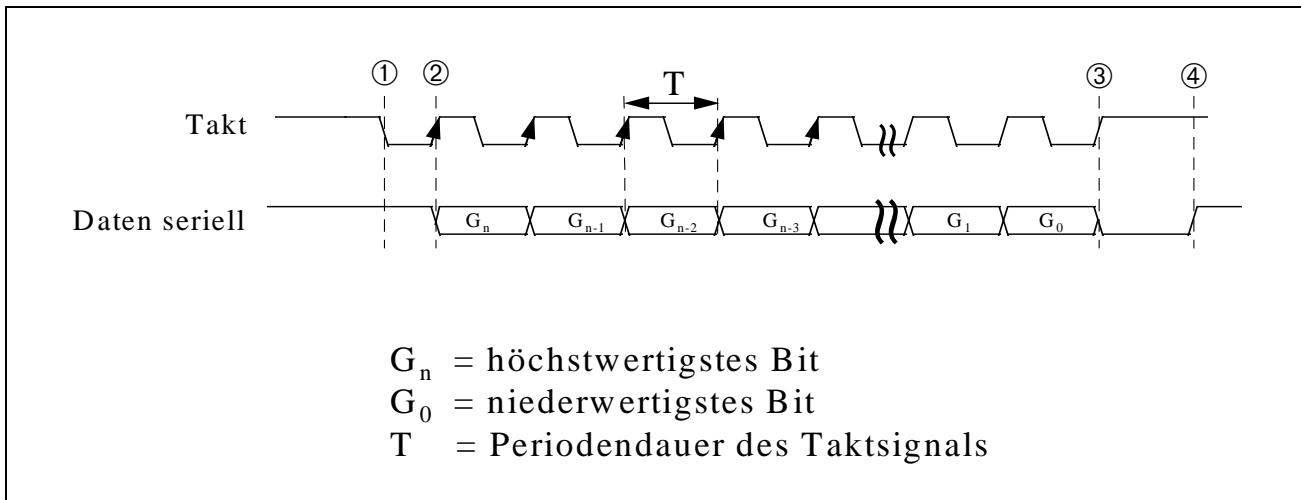
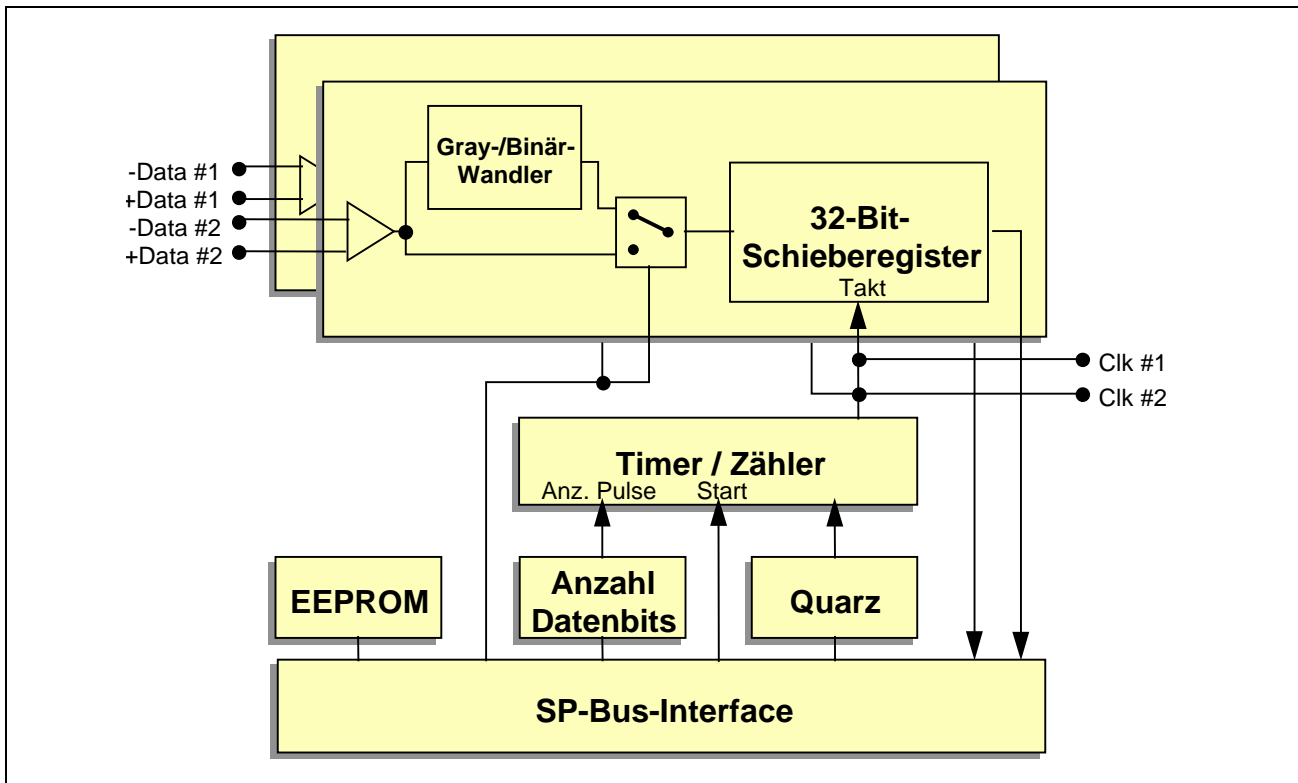


Abb. 23-1: Impulsdiagramm der Datenübertragung

Nach dem Ausgeben des letzten Bits (Zeitpunkt ③) legt die Gegenstelle den Datenausgang noch eine bestimmte Zeit auf 0, um anzuzeigen, daß sie noch nicht für die nächste Übertragung bereit ist. Der aktuelle Zustand der Datenleitung läßt sich jederzeit per Befehl ermitteln.

Sobald die Datenleitung wieder auf „1“ liegt (Zeitpunkt ④), läßt sich das nächste Datenwort auslesen.

Blockschaltbild



Technische Daten

Parameter	Wert	Einheit
Anzahl der Übertragungskanäle	2	–
Maximale Datenbreite	32	Bit
Generierte Taktrate, min. / max.	39,06 / 312,5	kHz
Umwandlung von Gray- in Binär-Code (optional)	ja	–
Empfindlichkeit der Differenz-Eingänge	± 200	mV
max. Eingangs-Überspannung	± 15	V
max. Differenzeingangs-Überspannung	± 25	V
Ausgangsspannung bei log. 0 ($I_{OUT} = 48\text{mA}$), max.	0,5	V
Ausgangsspannung bei log. 1 ($I_{OUT} = -20\text{mA}$), min.	2,5	V
Quarzfrequenz auf dem Modul	5	MHz
Versorgungsspannung, von der Basiskarte ($\pm 5\%$)	5	V
Stromaufnahme, von der Basiskarte (typ.) ¹	80	mA
Betriebstemperaturbereich (Modultemperatur)	0 bis 70	°C
Gate-Array-Typ	XC3042-50	–
Abmessungen (L x B x H)	106 x 45 x 15	mm

Lieferumfang

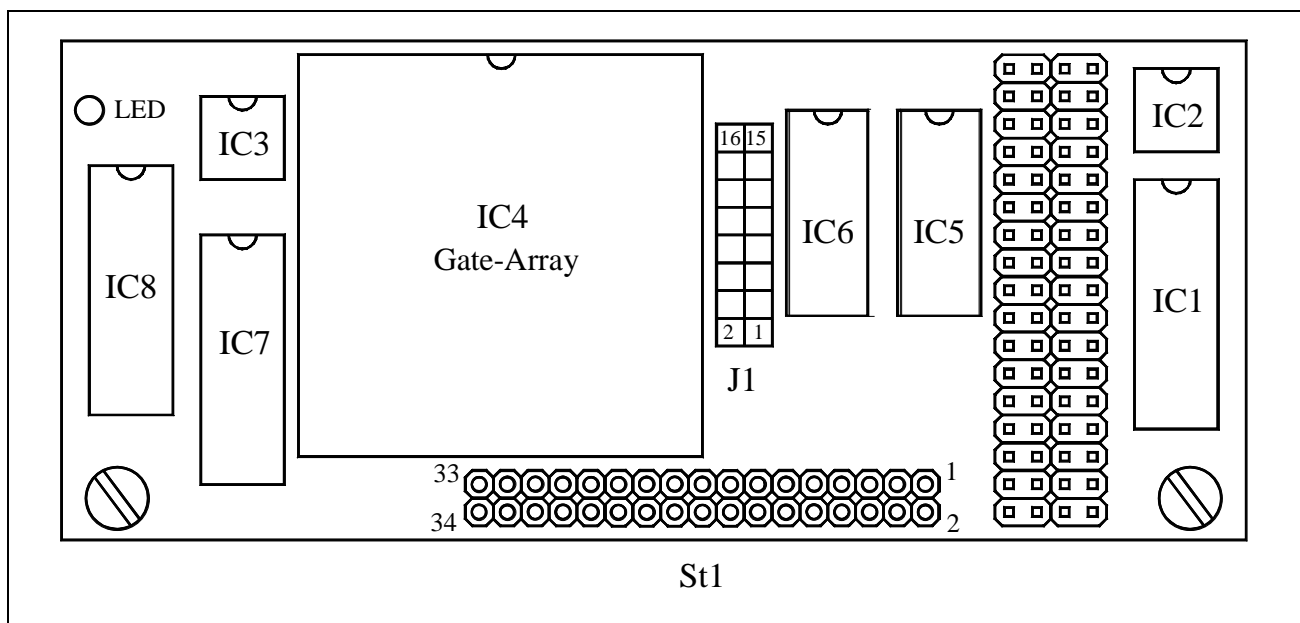
- Modul M-SSI-2
- 34-poliger Pfostenstecker für Flachbandkabel
- Datenträger mit Programmbibliotheken (Pascal und C)

¹ Bei stromlosen Ein- und Ausgängen, LED aus.

Konfiguration und Einbau

Alle Einstellungen auf dem Modul werden per Software vorgenommen. Nach dem Einschalten der Versorgungsspannung ist das Modul standardmäßig mit dem Design aus dem EPROM konfiguriert.

Lageplan



Falls J1 vorhanden, dürfen die Jumper nicht verändert werden.

EEPROM-Inhalte

Die Konfigurationsdaten im EEPROM sind Informationen für die Basiskarte, um das Modul zu identifizieren und z. B. bestimmte Register auf dem Modul zu setzen. Das EEPROM enthält nicht die Daten, die die Funktion des Gate-Arrays bestimmen (die sind in einem EPROM auf dem Modul oder werden von der Basiskarte nach dem Einschalten des Systems in das Gate-Array geladen).

Die designspezifischen Worte 16 bis 31 dürfen nicht verändert werden.

Werkseitig ist bereits eine Konfiguration im EEPROM voreingestellt:

WORT	Binär		Hex.	Bedeutung (Kurzinfo)
0	0010 0001	0011 0100	2134h	Modultyp M-SSI-2, Rev. A
1	0000 0000	0000 0001	0001h	Initialisierung
2	1010 0000	0000 0000	a000h	Hardware-Konfiguration
3	0000 0101	0000 0000	0500h	Quarzfrequenz
4	0000 0000	0000 0000	0000h	EPROM-Version
5	0000 0000	0000 0000	0000h	GAL-Version
6	0000 0000	0000 0100	0004h	Gate-Array-Typ (und max. Frequenz)
7	0000 0000	0000 0000	0000h	Reserviert
...
15	0000 0000	0000 0000	0000h	Reserviert
16	0000 0000	0000 0000	0000h	Anwendungsspezifische Initialisierung
...
31	0000 0000	0000 0000	0000h	Anwendungsspezifische Initialisierung

WORT-0: Typ und Version des Moduls (darf nicht geändert werden)

15141312111098

00100001

76543210

00110100

WORT-0: Kennung

Modultyp: 52 = M-SSI-2

Revision: 1 = A, 2 = B, 3 = C, etc.

Reserviert

Kennung

M-SSI-2

WORT-1: Initialisierung

In diesem Wort kann eingestellt werden, ob das Modul nach dem Einschalten und bei einem Hardware-Reset der Basiskarte entsprechend den Eintragungen im EEPROM initialisiert werden soll (Bit-0 = 1) oder nicht (Bit-0 = 0).

Mit Bit-2 wird ausgewählt, ob das Logik-Design automatisch aus dem EPROM des Moduls (falls vorhanden) geladen wird (Bit-2 = 1) oder nicht (Bit-2 = 0).

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

WORT-1: Initialisierung

geändert am: von:

Init nach Hardreset: 0 = nein, 1 = ja

Reserviert

Gate-Array-Konfiguration nach Reset:
0 = nein, 1 = aus EPROM laden

Reserviert

WORT-2: Hardware-Konfiguration

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0

WORT-2: Hardware-Konfiguration
(werks. Einst.)

geändert am: von:

Reserviert

Lötbrücke LB: 1 = verbunden

LED-1: 0 = nein, 1 = ja

Reserviert

Gate-Array-Typ:
0 = 3020/3030/3042,
1 = 3064/3090/3095

WORT-5: GAL-Version

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

WORT-5: GAL (werks. Einst.)

geändert am: von:

Version: 0 = A, 1 = B, etc.

Reserviert

WORT-6: Gate-Array, Typ und max. Frequenz

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0

WORT-6: Gate-Array-Typ (werks. Einst.)

geändert am: von:

Typ: 0 = 3020, 1 = 3030, 2 = 3042,
3 = 3064, 4 = 3090, 5 = 3095Toggle-Frequenz: 0 = 50 MHz,
1 = 70 MHz, 2 = 100 MHz**WORT-7 bis WORT-15: Reserviert**

WORT-16 bis WORT-31: Anwendungsspezifische Initialisierung

Die Wörter 16 bis 31 enthalten je eine I/O-Adresse (relativ zur Modul-Basis-Adresse MBA) und ein Datenbyte. Bit-15 bestimmt, ob dieses Wort vom Betriebssystem berücksichtigt werden soll (Bit-15 = 1) oder nicht (Bit-15 = 0). Wenn es berücksichtigt werden soll, dann gibt Bit-14 an, ob die Adresse nur gelesen werden soll (das Ergebnis wird verworfen) oder mit dem Datenbyte in Bit 0 bis 7 beschrieben werden soll.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

WORT-16 bis WORT-31:

Register-Initialisierung (werks. Einst.)

geändert am:

von:

Datenbyte

relative I/O-Adresse

Reserviert

0 = Lesen, 1 = Schreiben

0 = ungültig, 1 = gültig

Die designspezifischen Worte 16 bis 31 dürfen nicht verändert werden.

Steckerbelegung St1

Das Modul wird über einen 34-poligen Stecker und ein entsprechendes Flachbandkabel mit der Außenwelt verbunden. Alle verwendeten Ein- und Ausgänge haben RS-422-Pegel. Alle in der folgenden Tabelle nicht aufgeführten Pins müssen offen gelassen werden. Sie können für werksinterne Zwecke mit Testsignalen beschaltet sein.

Pin	Signal
1	GND
2	
10	
18	
6	+5V
3	Invertierter Taktausgang Kanal 1
4	Nichtinvertierter Taktausgang Kanal 1
5	Invertierter Taktausgang Kanal 2
8	Nichtinvertierter Taktausgang Kanal 2
12	Nichtinvertierter Dateneingang Kanal 1
14	Invertierter Dateneingang Kanal 1
15	Invertierter Dateneingang Kanal 2
16	Nichtinvertierter Dateneingang Kanal 2

Modul-Device-Treiber M-SSI-2

Allgemeine Hinweise zum Umgang mit Modul-Device-Treibern finden Sie in der Einführung im Abschnitt 'Grundlagen zum Modul-Device-Treiber'.

Installationsparameter

Parameter	Wert
Dateiname:	ML8D2601.LIB
Programmnummer:	438h
Tasknummer:	Steckplatz des Moduls
Interruptnummer:	0
Länge des Datenbereichs:	0
Flags:	800h

Befehl in INS-Datei (z.B. für Steckplatz 2):

M8INST ML8D2601 0438 0002 00 000000 00000800

Kanaleigenschaftsstruktur CPS_MSSI2

Ofs	Strukturelement	Datentyp	Bedeutung
0	<i>.usDevice</i>	USHORT	Device-Typ = DEVICE_SSI = 0c01h
2	<i>.usIndexFirst</i>	USHORT	Index des ersten Device (= 0)
4	<i>.usIndexLast</i>	USHORT	Index des letzten Device (= 0)
6	<i>.usFlags</i>	USHORT	Mögliche Flags: Bit 0: <i>_CP_EXCLUSIVE</i> = 1 (exklusiv) Alle anderen Bits = 0.
8	<i>.usReadMode</i>	USHORT	Lesemodus: <i>IO_MODE_DIRECT</i> = 1 (direkt vom Eingang) <i>IO_MODE_LATCH</i> = 2 (aus Latch, s.u.)
10	<i>.usMode</i>	USHORT	Betriebsart (Ausgangstakt/Code, s.u.)
12	<i>.usDataBits</i>	USHORT	Anzahl Datenbits (1 bis 32)

Einstellungen und Betriebsarten

Ergebnisformat und Übertragungstakt zum SSI-Geber (Strukturelement *.usMode*):

1. Übertragungstakt zum SSI-Geber:

<code>_MSSI2_CLK_312KHZ50</code>	(= 0001h)	312,50 kHz
<code>_MSSI2_CLK_208KHZ33</code>	(= 0002h)	208,33 kHz
<code>_MSSI2_CLK_156KHZ25</code>	(= 0003h)	156,25 kHz
<code>_MSSI2_CLK_125KHZ00</code>	(= 0004h)	125,00 kHz
<code>_MSSI2_CLK_104KHZ17</code>	(= 0005h)	104,17 kHz
<code>_MSSI2_CLK_89KHZ29</code>	(= 0006h)	89,29 kHz
<code>_MSSI2_CLK_78KHZ13</code>	(= 0007h)	78,13 kHz
<code>_MSSI2_CLK_69KHZ44</code>	(= 0008h)	69,44 kHz
<code>_MSSI2_CLK_62KHZ50</code>	(= 0009h)	62,50 kHz
<code>_MSSI2_CLK_56KHZ81</code>	(= 000ah)	56,81 kHz
<code>_MSSI2_CLK_52KHZ08</code>	(= 000bh)	52,08 kHz
<code>_MSSI2_CLK_48KHZ08</code>	(= 000ch)	48,08 kHz
<code>_MSSI2_CLK_44KHZ64</code>	(= 000dh)	44,64 kHz
<code>_MSSI2_CLK_41KHZ67</code>	(= 000eh)	41,67 kHz
<code>_MSSI2_CLK_39KHZ06</code>	(= 000fh)	39,06 kHz

Zusätzlich kann noch eine ODER-Verknüpfung angegeben werden, die das Ergebnisformat festlegt:

2. Ergebnisformat:

<code>_MSSI2_BINARY</code>	(= 0000h)	Ergebnis im Binärformat
<code>_MSSI2_GRAYCODE</code>	(= 0080h)	Ergebnis im Gray-Code

Im Strukturelement *.usDataBits* wird die Anzahl der zu übertragenden Bits eingestellt (1 bis 32).

Zugriff

Abhängig von der im Strukturelement *.usReadMode* gewählten Betriebsart erfolgt der Zugriff auf den Kanal wie folgt:

1. IO_MODE_DIRECT

Mit der Funktion **mddx_read_channel_dword** wird die Übertragung gestartet und das Ergebnis zurückgeliefert. Je nach eingestelltem Takt dauert dieser Zugriff zwischen 100 und 800 µs (bei 32 Datenbits).

2. IO_MODE_LATCH

Die Übertragung wird mit der Funktion **mddx_write_channel_dword** gestartet. Der Sonderdienst INFO_DEVICE (**mddx_get_channel_info**) liefert den Status der Übertragung: Bit 0 = 1: Übertragung läuft, Bit 0 = 0: Ergebnis kann mit der Funktion **mddx_read_channel_dword** gelesen werden.

Es wird immer nur das Ergebnis eines Kanals geliefert. Die Anwahl des Kanals erfolgt mit dem Sonderdienst CTRL_DEVICE (**mddx_send_channel_control**) mit Angabe des zu lesenden Ergebnisses (0 = Kanal 1, 1 = Kanal 2).

Programmierung mit I/O-Zugriffen

Lokale I/O-Adressen

Adresse	Zugriff	Funktion																																		
MBA+00h	W8	Reset des Moduls																																		
MBA+02h	W8	Taktrate (bezogen auf einen Quarz von 5 MHz):																																		
		<table><tr><th>Eintrag im Register</th><th>Taktrate</th></tr><tr><td>0</td><td>Kein Takt (nach Reset)</td></tr><tr><td>1</td><td>312,50 kHz</td></tr><tr><td>2</td><td>208,33 kHz</td></tr><tr><td>3</td><td>156,25 kHz</td></tr><tr><td>4</td><td>125,00 kHz</td></tr><tr><td>5</td><td>104,17 kHz</td></tr><tr><td>6</td><td>89,29 kHz</td></tr><tr><td>7</td><td>78,13 kHz</td></tr><tr><td>8</td><td>69,44 kHz</td></tr><tr><td>9</td><td>62,50 kHz</td></tr><tr><td>10</td><td>56,81 kHz</td></tr><tr><td>11</td><td>52,08 kHz</td></tr><tr><td>12</td><td>48,08 kHz</td></tr><tr><td>13</td><td>44,64 kHz</td></tr><tr><td>14</td><td>41,67 kHz</td></tr><tr><td>15</td><td>39,06 kHz</td></tr></table>	Eintrag im Register	Taktrate	0	Kein Takt (nach Reset)	1	312,50 kHz	2	208,33 kHz	3	156,25 kHz	4	125,00 kHz	5	104,17 kHz	6	89,29 kHz	7	78,13 kHz	8	69,44 kHz	9	62,50 kHz	10	56,81 kHz	11	52,08 kHz	12	48,08 kHz	13	44,64 kHz	14	41,67 kHz	15	39,06 kHz
Eintrag im Register	Taktrate																																			
0	Kein Takt (nach Reset)																																			
1	312,50 kHz																																			
2	208,33 kHz																																			
3	156,25 kHz																																			
4	125,00 kHz																																			
5	104,17 kHz																																			
6	89,29 kHz																																			
7	78,13 kHz																																			
8	69,44 kHz																																			
9	62,50 kHz																																			
10	56,81 kHz																																			
11	52,08 kHz																																			
12	48,08 kHz																																			
13	44,64 kHz																																			
14	41,67 kHz																																			
15	39,06 kHz																																			
MBA+03h	W8	Anzahl der zu übertragenen Bits: Erlaubt sind Werte von 1 bis 32																																		
MBA+01h	W8	Betriebsart einstellen und Übertragung starten: Bit-0: 0 = die zu empfangenden Daten sind binär codiert 1 = die zu empfangenden Daten sind im Gray-Code codiert Jeder Schreibzugriff auf dieses Register startet eine neue Übertragung, die LED ändert ihren Zustand (toggle).																																		

Adresse	Zugriff	Funktion
MBA+08h	R8	Status lesen: Bit-0: 0 = Übertragung beendet, Ergebnis kann gelesen werden 1 = Übertragung läuft noch Bit-1: Zustand der Datenleitung von Kanal 1 Bit-2: Zustand der Datenleitung von Kanal 2 Bit 3 bis 7 sind ungültig
MBA+00h	R8	Byte-0 Kanal 1 (niedrigstwertiges Byte)
MBA+01h	R8	Byte-1 Kanal 1
MBA+02h	R8	Byte-2 Kanal 1
MBA+03h	R8	Byte-3 Kanal 1 (höchstwertiges Byte)
MBA+04h	R8	Byte-0 Kanal 2 (niedrigstwertiges Byte)
MBA+05h	R8	Byte-1 Kanal 2
MBA+06h	R8	Byte-2 Kanal 2
MBA+07h	R8	Byte-3 Kanal 2 (höchstwertiges Byte)

Hinweise zur Programmierung

Bevor eine neue Übertragung gestartet werden kann (Schreibzugriff auf MBA+01h), muß im Statusregister (MBA+08h) geprüft werden, ob das Modul bereit ist (Bit-0 = 0) und ob die angeschlossenen Weggeber bereit sind (Bit-1 und Bit-2 = 1).

Das Ergebnis darf erst ausgelesen werden, wenn die Übertragung beendet ist (Bit-0 im Statusregister = 0).

Achtung: Nach Reset bzw. vor dem Start der Übertragung muß ein Takt eingestellt werden!

